

# GPGPU向けメモリアクセラレータ

## A Memory Accelerator for GPGPU

田邊 昇<sup>1)</sup>, ブンヤシットピチャイ ナッタポン<sup>2)</sup>, 中條 拓伯<sup>2)</sup>, 小郷 絢子<sup>3)</sup>, 高田 雅美<sup>3)</sup>, 城 和貴<sup>3)</sup>

Noboru Tanabe, Boonyasitpichai Nuttapon, Hironori Nakajo, Junko kogou, Masami Takata and Kazuki Joe

- 1) (株)東芝 研究開発センター (〒212-8582 神奈川県川崎市幸区小向東芝町1)
- 2) 東京農工大学 共生科学技術研究院 (〒184-8588 東京都小金井市中町2-24-16)
- 3) 奈良女子大学 人間文化研究科 (〒630-8506 奈良県奈良市北魚屋西町)

**Key Words :** GPGPU, SpMV, Cache memory, Scatter/Gather, Extended memory

### 1. はじめに

GPUは安価で優れたツールであり、GPUでCPUの数十倍高速化したという報告は数多い。一方、既存GPUの問題の解決への取組みは稀であり、本研究はその1つである。

ムーアの法則はGPUのFLOPS値の継続的進歩を予感させるが、それに見合ったデバイスメモリバンド幅を保証しないため、メモリウォール問題は年々深刻になる。キャッシュを代表とする階層的メモリシステムはデータの再利用性がある場合はうまく機能する。しかし、疎行列ベクトル積(SpMV)をカーネルとする多くの連立一次方程式の求解に帰着される応用では、本質的にデータの再利用性が少ない。ベンチマーク用の疎行列コレクション[1]にある程度の小さな行列ではGPUの小さなキャッシュにも多くが載るためその問題は露見しないが、行列が大規模になるほど、キャッシュはラインサイズで外部メモリをアクセスするロスが目立つようになる。規則的な疎行列ではGPUのCoalesced accessと整合し、ミスヒット時に取って来た後続データが有効利用される。しかし、不規則な疎行列ではキャッシュはミスヒット時に16倍(倍精度)~32倍(単精度)のバンド幅を浪費するようになる。

本発表はHPCの主役になったGPUにおけるキャッシュへの過大な期待に警鐘を鳴らすとともに、改善策としてメモリアクセラレータのGPUへの利用促進を提案する。

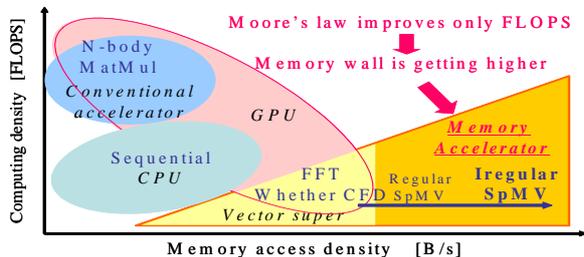


図1 メモリアクセラレータの位置づけ

### 2. メモリアクセラレータ

メモリアクセラレータの基本部分はDIMMnet-2[2]と同様で、NoC(Network-on-chip)よりメモリ側にScatter/Gatherを行う回路を配置する。Gather後のデータをDMA転送する機能を有する。外部メモリとしてGDDR5のようにバースト長が長いメモリを用いるのではなく、DDR3, DDR4,

XDR DRAM, RLDRAMやMRAMのように短いバーストで動作するメモリを用いる。その際、細いメモリチャネルを多数インタリーブする。容量の限界が厳しいGPUのデバイスメモリ容量の拡張用としても本機構を機能させる。

### 3. GPU向けの接続方法

メモリアクセラレータをGPUに接続する際のインターフェースは二つの方法が考えられる。前者はPCI expressを用いるが、単体での性能向上はさほど大きくない。ソフト的にもCUDA4.0からはホストを経由しないGPU間のDMA転送がサポートされており、対応は困難ではないと考えられる。後者は一部のGDDR5メモリポートを用いることにより、大きな性能向上が期待できる。メモリアクセラレータを接続するGDDR5ポートのアドレスマッピングの変更と、他ポートへのDMA転送を可能にする程度で、GPUベンダーは対応可能と考えられる。

### 4. 性能評価

GPUのテクスチャキャッシュやL1/L2キャッシュを用いた従来のSpMV実装で疎行列集[1]を用いた場合、行列が大きくなるほどヒット率が下がる傾向を確認した。疎行列集[1]と、文献[3]のSpMVアルゴリズムと、Maryland大学のDRAMsim2[4]を改造して用いた評価を行った。その結果、現実的な構成のDDR3ベースのメモリアクセラレータでも、キャッシュが当たっている従来法より性能が向上した。キャッシュを用いないため、行列を大きくしてもヒット率低下による性能劣化のおそれがない。さらに行列の形状や格納法に対する性能の安定性も向上した。

謝辞 本研究の一部(DIMMnetの開発)は総務省戦略的情報通信研究開発推進制度(SCOPE)の一環として行われたものである。

#### 参考文献

- [1] Tim Davis : " The University of Florida Sparse Matrix Collection", <http://www.cise.ufl.edu/research/sparse/matrices/>.
- [2] N. Tanabe, H. Hakozaki, Y. Dohi, Z. Luo, H. Nakajo : " An enhancer of memory and network for applications with large-capacity data and non-continuous data accessing", The Journal of Supercomputing, Vol. 51, No. 3, pp. 279-309, 2010.
- [3] N. Tanabe, Y. Ogawa, M. Takata, K. Joe : " Scaleable Sparse Matrix-Vector Multiplication with Functional Memory and GPUs", Euromicro PDP2011, pp. 101-108 Feb.2011.
- [4] B. Jacob : "DRAMSim2", <http://www.ece.umd.edu/dramsim/>